

DATA PROCESSOR

Ref. 1

Patent number: JP5088887
Publication date: 1993-04-09
Inventor: TAKEBE KEIJI; HISAMA YURIKO
Applicant: TOKYO SHIBAURA ELECTRIC CO
Classification:
- international: G06F7/00; G06F9/315
- european:
Application number: JP19910252370 19910930
Priority number(s): JP19910252370 19910930

[View INPADOC patent family](#)

Abstract of JP5088887

PURPOSE: To provide the data processor for processing the operation of moving continuous data only for the digits of arbitrary bits at high speed concerning the data processor equipped with the instruction of executing the digit move in an arbitrary direction especially for the unit of arbitrary bits.

CONSTITUTION: This device is constituted by providing a first data storing means 1, second data storing means 3, instruction register 5, control means 7 and calculating means 9. In the case of decoding a prescribed instruction, the control means 7 moves the linked data for the digits of (k) bits in the designated direction with the low-order (k) bits in the first data storing means 1 as a high-order group and all the bits in the second data storing means 3 as a low-order group according to the bit number (k) and the direction designated by instruction word information, the high-order (k) bits as the result are stored in the low-order (k) bits of the first data storing means 1, and the remaining low-order bits as the result are stored in the second data storing means 3.

Ref. 1

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-88887

(43) 公開日 平成5年(1993)4月9日

(51) Int. Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
G 0 6 F 9/315				
7/00	1 0 2 H	8323-5B		
		9189-5B	G 0 6 F 9/30	3 4 0 D

審査請求 未請求 請求項の数2(全10頁)

(21) 出願番号 特願平3-252370

(22) 出願日 平成3年(1991)9月30日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 建部 啓二

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72) 発明者 久間 由利子

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

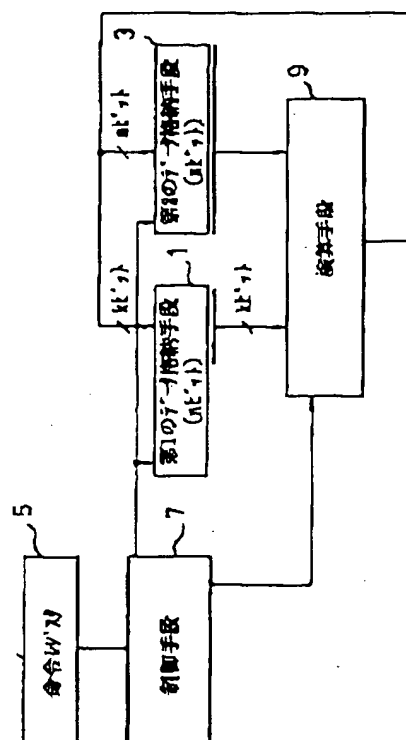
(74) 代理人 井理士 三好 秀和

(54) 【発明の名称】 データ処理装置

(57) 【要約】

【目的】 本発明は、データ処理装置に係り、特に、任意のビット単位で任意の方向に桁移動を行なう命令を備えるデータ処理装置に関し、連続するデータを任意のビット数だけ桁移動する操作を高速に処理するデータ処理装置を提供することを目的とする。

【構成】 第1のデータ格納手段1と、第2のデータ格納手段3と、命令レジスタ5と、制御手段7と、演算手段9とを有して構成する。制御手段7は、所定の命令解読時に、命令語情報で指定されたビット数k及び方向に従って、第1のデータ格納手段1の下位kビットを上位群とし、第2のデータ格納手段3の全ビットを下位群として、これらを連結したデータを指定方向にkビット桁移動し、結果の上位kビットを第1のデータ格納手段1の下位kビットに、結果の残りの下位ビットを第2のデータ格納手段3に格納する。



1

【特許請求の範囲】

【請求項1】 n ビット (n は任意の正整数) 幅の第1のデータ格納手段と、 m ビット (m は任意の正整数) 幅の第2のデータ格納手段と、命令語を保持する命令レジスタと、前記命令レジスタの命令を解説して実行制御する制御手段と、命令を実行する演算手段とを有し、前記制御手段は、所定の命令解説時に、命令語情報で指定されたビット数 k (k は任意の正整数) 及び方向に従って、前記第1のデータ格納手段の下位 k ビットを上位群とし、前記第2のデータ格納手段の全ビットを下位群として、これら上位群及び下位群を連結したデータを前記方向に k ビット桁移動し、結果の上位 k ビットを前記第1のデータ格納手段の下位 k ビットに、結果の残りの下位ビットを前記第2のデータ格納手段に格納することを特徴とするデータ処理装置。

【請求項2】 前記データ処理装置は、ワンチップ上に実現されることを特徴とする請求項1に記載のデータ処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、データ処理装置に関する、特に、マイクロプロセッサ等において、所定のデータサイズ、方向、及びデータサイズ以下の指定されたビット数により、データの桁移動を行なう命令を備えるデータ処理装置に関する。

【0002】

【従来の技術】 近年、半導体集積回路の高集積化技術の進歩に伴い、マイクロプロセッサ等の小型の命令処理装置においても、その機能は豊富になって来ている。例えば、ザイログ社のZ80は、8ビットマイクロプロセッサでありながら豊富な命令セットを有している。ここでは、Z80を例に採り、Z80の命令セットの1つである4ビット単位のBCD形桁移動命令、RLD命令及びRRD命令について言及し、問題点を指摘する。

【0003】 このRLD命令及びRRD命令は、それぞれ一度に4ビットずつ左右に移動する命令で、Aレジスタ及びHLペアレジスタで示されるメモリ内のアドレスの内容に作用し、BCD形データの操作に有効である。これらの命令の作用を図8(1)及び(2)に要約している。即ち、8ビットのAレジスタの下位4ビットを上位群、HLペアレジスタの示すアドレスの8ビットデータの上位4ビット及び下位4ビットを下位群とし、この上位群及び下位群を連結したものを、4ビット単位で左右にローテートするものである。この時、Aレジスタのデータ及びHLペアレジスタが示すアドレスのデータのデータサイズは8ビット固定であり、ローテートするビット数も4ビット単位と固定である。

【0004】 例えば、メモリに8進数のデータが n 番地から $n+m$ 番地まで格納されているとし、 n 番地から $n+m$ 番地までのデータを全体的に3ビットシフトするこ

2

とをZ80の命令で行なうとする。

【0005】 上述のように、ローテート命令は4ビット単位のため、先ずSLA(算術シフト)命令を実行して n 番地の8ビットデータの最下位から"0"をシフトし、それによってAレジスタの7ビット目からシフトアウトされたデータをキャリーフラグに格納する。次に、RL(左ローテート)命令を実行して、キャリーフラグを $n+1$ 番地の8ビットデータの最上位に連結したものを左ローテートする。この結果、キャリーフラグには $n+1$ 番地の8ビットデータの最上位ビットがシフトされ格納される。次に、もう一度RL命令により $n+2$ 番地の最上位にキャリーフラグを連結したものを左ローテートする。以上の手順を $n+m$ 番地まで繰り返行なうと、 n 番地から $n+m$ 番地までのデータを全体的に1ビットシフトしたことになる。従って、3ビットシフトさせるためには、以上の動作を3回繰り返さなければならず、沢山の命令数及びサイクル数を必要とする。

【0006】

【発明が解決しようとする課題】 以上のように、従来のデータ処理装置では、連続するデータを任意のビット数だけ桁移動操作する場合、沢山の命令数及びサイクル数を必要とし、処理に時間がかかるという欠点があった。

【0007】 本発明は、上記問題点を解決するもので、その目的は、所定のデータサイズ、方向、及びデータサイズ以下の指定されたビット数により、データの桁移動を行なう命令を用意して、連続するデータを任意のビット数だけ桁移動する操作を高速に処理するデータ処理装置を提供することである。

【0008】

【課題を解決するための手段】 前記課題を解決するために、本発明の特徴は、図1に示す如く、 n ビット (n は任意の正整数) 幅の第1のデータ格納手段1と、 m ビット (m は任意の正整数) 幅の第2のデータ格納手段3と、命令語を保持する命令レジスタ5と、前記命令レジスタ5の命令を解説して実行制御する制御手段7と、命令を実行する演算手段9とを具備し、前記制御手段7は、所定の命令解説時に、命令語情報で指定されたビット数 k (k は任意の正整数) 及び方向に従って、前記第1のデータ格納手段1の下位 k ビットを上位群とし、前記第2のデータ格納手段3の全ビットを下位群として、これら上位群及び下位群を連結したデータを前記方向に k ビット桁移動し、結果の上位 k ビットを前記第1のデータ格納手段1の下位 k ビットに、結果の残りの下位ビットを前記第2のデータ格納手段3に格納することである。

【0009】 本発明の第2の特徴は、請求項1に記載のデータ処理装置において、前記データ処理装置は、ワンチップ上に実現されることである。

【0010】

【作用】 本発明のデータ処理装置では、命令レジスタ5

3

に所定の命令がセットされた時に、制御手段7は、命令語情報で指定されたビット数 k (k は任意の正整数)及び方向に従って、前記第1のデータ格納手段1の下位 k ビットを上位群とし、前記第2のデータ格納手段3の全ビットを下位群として、これら上位群及び下位群を連結したデータを前記方向に k ビット桁移動し、結果の上位 k ビットを前記第1のデータ格納手段1の下位 k ビットに、結果の残りの下位ビットを前記第2のデータ格納手段3に格納するようにしている。

【0011】これにより、命令語情報で指定されたビット数 k 及び方向に従って、データの桁移動を行なう命令を用意して、連結するデータ等を任意のビット数だけ桁移動する操作を高速に処理することができる。

【0012】

【実施例】以下、本発明に係る実施例を図面に基いて説明する。

【0013】図2に本発明の一実施例に係るデータ処理装置の構成図を示す。

【0014】本実施例のデータ処理装置は、16ビットのマикроプロセッサ10 (以下MPUと略記する)と1ワードが16ビットのメモリ30から構成され、データバス27及びアドレスバス29を介して接続されている。

【0015】MPU10は、メモリ30とのインタフェースを司り、データラッチDR、アドレスラッチAR、及びテンポラリレジスタTR0、TR1を備えるバスインタフェースユニット13 (以下BIUと略記する)と、4個の命令レジスタIR1~IR4からなる命令レジスタ群5と、命令レジスタ群5からの命令を解釈する命令デコーダ6と、バンクポインタBP、各種スタックポインタSP、及びレジスタ群R0~R15からなる汎用レジスタ群11と、演算等で使用する定数を保持する定数ROM15と、各種演算を実行する演算器9と、演算器9の入力側に接続されて桁移動命令等で使用するシフトレジスタSR1及びSR2とから構成され、各構成要素はXバス21、Yバス23、及びZバス25を介してデータのやり取りを行なう。また、図2において、太線はバスまたはデータのやり取りを行なう信号線、細線は制御信号等の信号線を示している。

【0016】本実施例のデータ処理装置では、各命令は次のようにして実行される。

【0017】まず、メモリ30からデータバス27を介してBIU13内のデータラッチDRに命令をフェッチする。次にフェッチした命令を命令レジスタ5のキュー(queue)に取り込む。ここで、命令レジスタ群5は4個の命令レジスタIR1~IR4によるキューを構成しているが、これはバスアクセスが無い時に命令を先取りしてキューに取り込んでおくことにより、データ処理の高速化を図るものである。次に、命令デコーダ6は命令レジスタ群5のキューから順に命令を取り込み、該命令

4

を解釈してその情報を制御部7へ送る。制御部7はその情報に基づき制御信号を各構成要素に送り、命令を実行させる。尚、制御部7は、演算器9、BIU13、及びその他構成要素から信号を受け取り、更に各構成要素に制御信号を返している。また、Xバス21、Yバス23、及びZバス25を介して、コンディション・コード(CC)等を含むプログラム・ステータス・ワード(PSW)の制御等を行っている。

【0018】次に、本実施例で実行する桁移動命令の様を図3を参照して説明する。

【0019】まずRML (Rotate Multibit Left) 命令は、命令語で指定される桁移動ビット幅を k ビットとすると、第1のデータ格納手段1として汎用レジスタR n ($n=0\sim15$)を、第2のデータ格納手段3として汎用レジスタR m ($m=0\sim15$)またはメモリ30の特定番地を、それぞれ使用して、汎用レジスタR n の下位 k ビットと汎用レジスタR m またはメモリ30の全ビットとを連結して、 k ビット左にローテートする。尚、メモリ30の特定番地は、例えば汎用レジスタR j ($j=0\sim15; j\neq n$)で指定されるものとする。

【0020】また、RMR (Rotate Multibit Right) 命令は、RML命令と同様で、指定された k ビット右にローテートする。

【0021】このRML命令またはRMR命令が実行される時の様子を、図4を使って説明する。同図は、第1のデータ格納手段1を汎用レジスタR0、第2のデータ格納手段3をメモリの特定番地 (m 番地)とした場合に、RML命令 (10ビットの桁移動) を実行する時のシフトレジスタSR1及びSR2の遷移、並びに演算器9の演算処理の様子を説明する図である。

【0022】まず、汎用レジスタR0のデータがXバス21を経てシフトレジスタSR1に転送される (図4 (1) 参照)。同時にアドレスラッチARから出力されたアドレス m 番地に対応するデータがデータバス27及びYバス23を経てシフトレジスタSR2に転送される (図4 (2) 参照)。次に、シフトレジスタSR1のデータを図4 (3) に示すように10ビット右にシフトし、更にシフトレジスタSR1及びSR2を連結して10ビット左にシフトすると、シフトレジスタSR1及びSR2の内容は図4 (4) 及び (5) のようになる。このシフトレジスタSR1及びSR2のデータを、それぞれBIU13内のテンポラリレジスタTR0及びTR1に一時的に格納する。

【0023】次に、定数ROM15より、下位10ビットが"1"で残りの上位ビットが"0"の指定されたビット幅のデータと、汎用レジスタR0のデータを演算器9に転送し、図4 (6) に示すように、これらの論理積 (AND) を求める。更に図4 (7) に示すように、この論理積の結果とテンポラリレジスタTR1に一時的に格納したシフトレジスタSR2のデータの論理和 (O

R)を取る。

【0024】この論理和の結果をメモリ30のm番地へ格納し、またテンポラリレジスタTR0に一時的に格納されているシフトレジスタSR1のデータを汎用レジスタR0に転送する。

【0025】以上の動作によりRML命令が実行されるが、RMR命令の場合も同様に行なわれる。

【0026】次に本実施例のデータ処理装置を具体的に使用する場合の適用例を説明する。

【0027】図5は第1の適用例を示すもので、第1のデータ格納手段1を汎用レジスタRn、第2のデータ格納手段3をメモリ30とし、メモリ30のm番地のデータの低位10ビットに汎用レジスタRnの低位10ビットのデータを挿入し、m番地の上位10ビットのデータをm+2番地の低位10ビットに移動させ、以降の番地に順次ずらせていく処理を行なうものである。

【0028】先ず図5(1)において、汎用レジスタRn(低位10ビットにデータAが格納されている)とm番地のデータをRML命令を使用して10ビット左にローテートする。汎用レジスタRnにはm番地の上位10ビットのデータBが格納され、図5(2)のようになる。次に、汎用レジスタRnとm+2番地のデータとをRML命令を使用して10ビット左にローテートする。この時、汎用レジスタRnにはm+2番地の上位10ビットのデータCが格納され、図5(3)のようになる。同様に、汎用レジスタRnとm+4番地のデータをRML命令を使用して10ビット左にローテートし、図5(4)に示すように、汎用レジスタRnにm+4番地の上位10ビットのデータDが格納される。最後に、汎用レジスタRnとm+6番地のデータをRML命令を使用して10ビット左にローテートし、図5(5)に示す最終状態となる。以上のように、連続する桁移動動作を同じ命令を繰り返すだけで行なうことができる。

【0029】次に、図6に第2の適用例の動作説明図を示す。本例は、第1のデータ格納手段1を汎用レジスタRn、第2のデータ格納手段3をメモリ30とし、第1の適用例とは逆に、メモリ30のm+6番地のデータの低位10ビットのデータを汎用レジスタRnの低位10ビットに挿入し、m+6番地の低位10ビットのデータをm+4番地の上位10ビットに移動させ、1つ前の番地に順次ずらせていく処理を行なうものである。

【0030】RMR命令を使用して10ビット右にローテートすること以外、第1の適用例と同様である。このようにRMR命令は、下位番地から上位番地に向かってデータを移動させていく場合に有効である。

【0031】次に、図7に第3の適用例の動作説明図を示す。本例は、第1のデータ格納手段1を汎用レジスタRn、第2のデータ格納手段3を連続する汎用レジスタRmからRm+3とし、汎用レジスタRmのデータの低位10ビットに汎用レジスタRnの低位10ビットのデ

ータを挿入し、汎用レジスタRmの上位10ビットのデータを汎用レジスタRm+1の低位10ビットに移動させ、以降の汎用レジスタに順次ずらせていく処理を行なうものである。

【0032】図7(1)において、汎用レジスタRnの低位10ビットのデータAと汎用レジスタRmのデータをRML命令を使用して10ビット左にローテートすると、図7(2)に示すように、汎用レジスタRnには、汎用レジスタRmの上位10ビットのデータBが格納される。次に、汎用レジスタRnのデータBと汎用レジスタRm+1のデータとをRML命令を使用して10ビット左にローテートする。この時、汎用レジスタRnには汎用レジスタRm+1の上位10ビットのデータCが格納され、図7(3)のようになる。同様に、汎用レジスタRnのデータCと汎用レジスタRm+2のデータをRML命令を使用して10ビット左にローテートし、図7(4)に示すように、汎用レジスタRnに汎用レジスタRm+2の上位10ビットのデータDが格納される。最後に、汎用レジスタRnと汎用レジスタRm+3のデータをRML命令を使用して10ビット左にローテートし、図7(5)に示す最終状態となる。

【0033】また、第2の適用例と同様にRMR命令を使用して、連続する汎用レジスタの桁移動動作を行なうこともできる。

【0034】以上説明したように、本実施例のデータ処理装置では、第1及び第2のデータ格納手段1及び3の間の桁移動操作において、右ローテートの場合には第2のデータ格納手段3の指定された桁移動数分の低位ビットのデータが、左ローテートの場合には第2のデータ格納手段3の指定された桁移動数分の上位ビットのデータが、それぞれ第1のデータ格納手段1の低位に格納され、これを次のローテート命令におけるシフトデータとして使用できるため、連続するメモリ或いは汎用レジスタのデータの桁移動動作を、同じ命令を繰り返すだけで行なうことができる。例えば、ワードプロセッサ等の文書処理において、字句の挿入操作等を行なう場合、アセンブラ命令レベルでは上述した適用例のような操作を行なうこととなるが、従来汎用の命令数及びサイクル数を必要としていたものを、少ない命令数で高速に処理することが可能となる。

【0035】尚、データサイズは任意に設定することが可能であり、また桁移動のビット数はデータサイズ以下のビット数であれば任意に指定できる。

【0036】

【発明の効果】以上のように本発明によれば、命令語情報で指定されたビット数k及び方向に従って、第1のデータ格納手段の低位kビットを上位群とし、第2のデータ格納手段のデータを下位群として、これらを連結したデータを指定方向にkビット桁移動し、結果の上位kビットを第1のデータ格納手段の低位kビットに、残りの

7

8

下位ビットを第2のデータ格納手段に格納する命令を命令セットに用意したので、任意のビット単位で任意の方向に桁移動することができ、連続するデータを任意のビット数だけ桁移動する操作等を高速に処理しうるデータ処理装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の発明原理図である。

【図2】本発明の一実施例に係るデータ処理装置の構成図である。

【図3】本発明の実施例における桁移動命令の仕様説明図である。

【図4】本発明の実施例におけるRML命令またはRMR命令の実行過程を説明する図である。

【図5】本発明の実施例の第1の適用例を説明する動作説明図である。

【図6】本発明の実施例の第2の適用例を説明する動作説明図である。

【図7】本発明の実施例の第3の適用例を説明する動作説明図である。

【図8】従来のマイクロプロセッサ(Z80)における桁移動命令の仕様説明図である。

【符号の説明】

1 第1のデータ格納手段

3 第2のデータ格納手段

5 命令レジスタ(命令レジスタ群)

6 命令デコーダ

7 制御手段(制御部)

9 演算手段(演算器)

10 マイクロプロセッサ(MPU)

11 汎用レジスタ群

13 バスインタフェースユニット(BIU)

15 定数ROM

21 Xバス

23 Yバス

25 Zバス

27 データバス

29 アドレスバス

30 メモリ

DR データラッチ

AR アドレスラッチ

TR0, TR1 テンポラリレジスタ

IR1~IR4 命令レジスタ

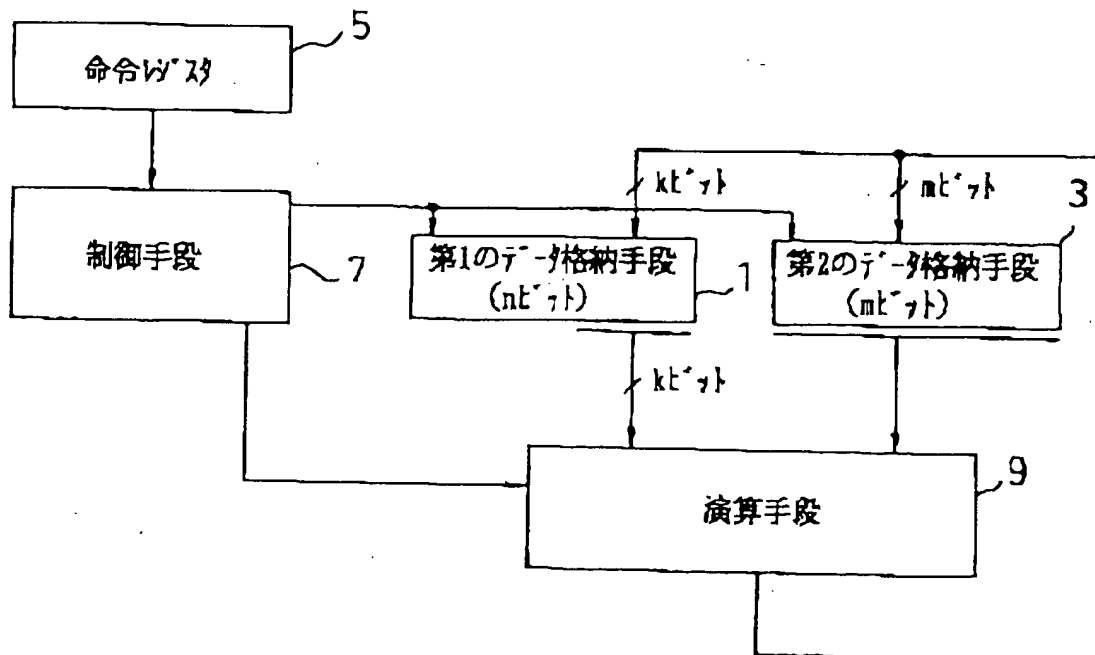
BP バンクポインタ

SP 各種スタックポインタ

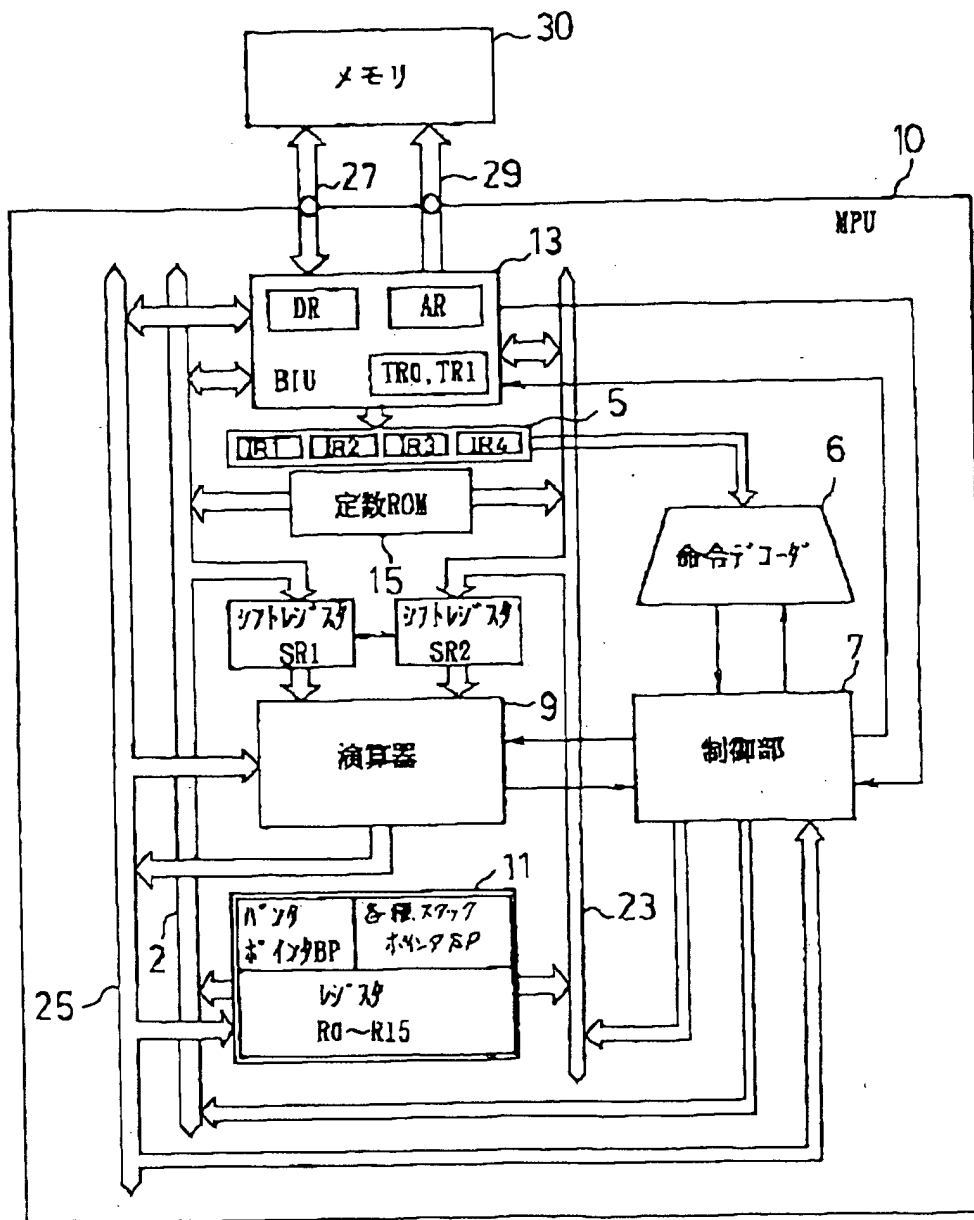
R0~R15 汎用レジスタ

SR1, SR2 シフトレジスタ

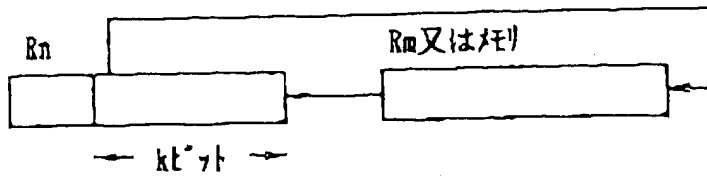
【図1】



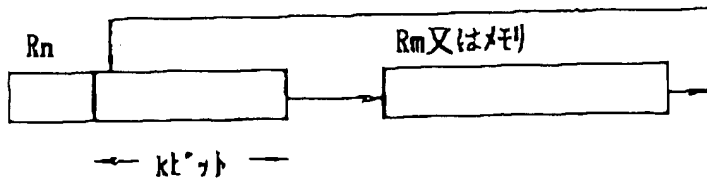
【図2】



【図3】

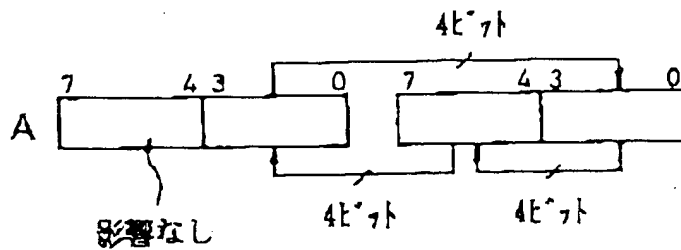
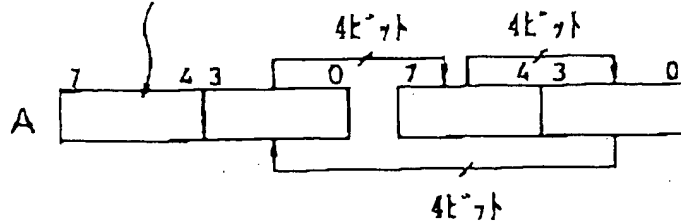
(a) RML(Rotate Multibit Left)

第1のデータ格納手段 第2のデータ格納手段

(b) RMR(Rotate Multibit Right)

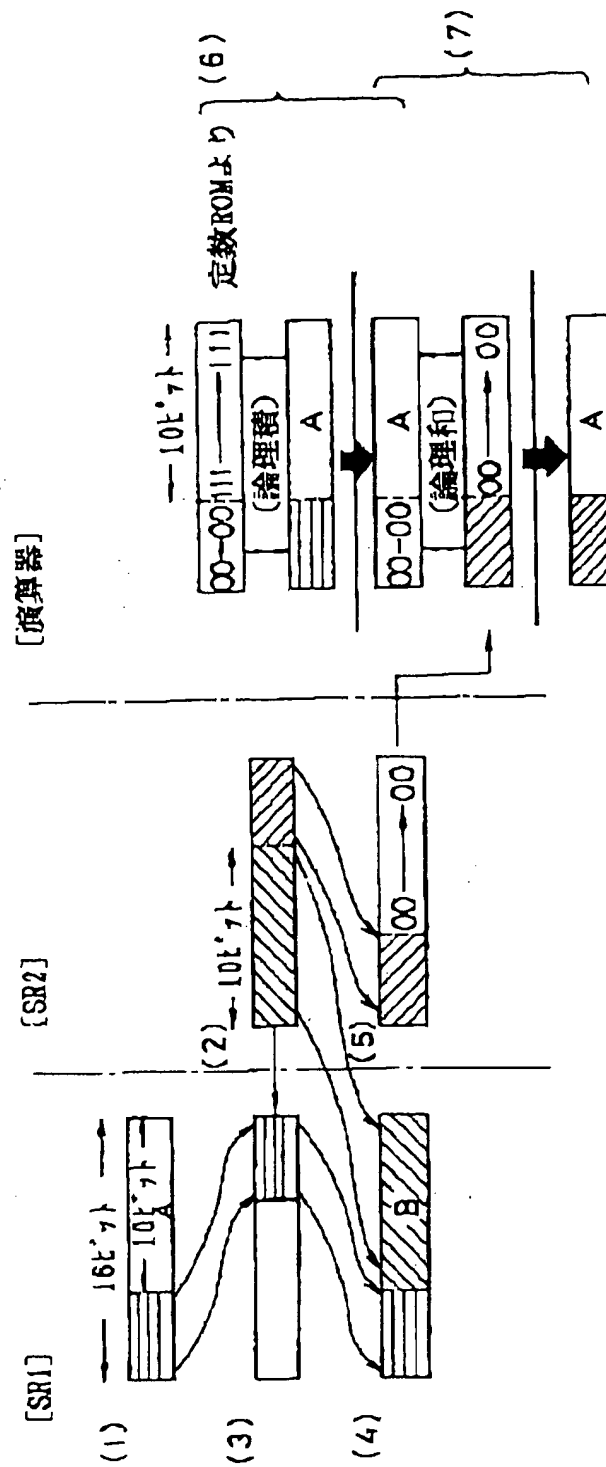
第1のデータ格納手段 第2のデータ格納手段

【図8】

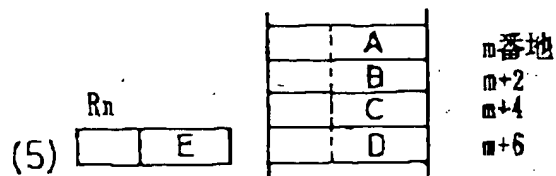
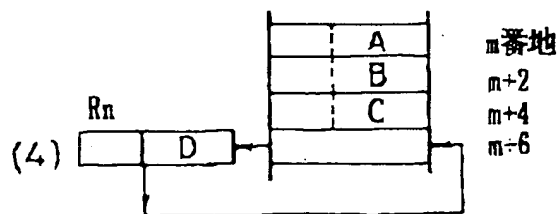
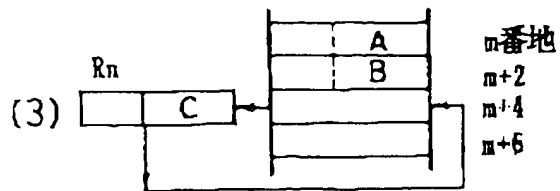
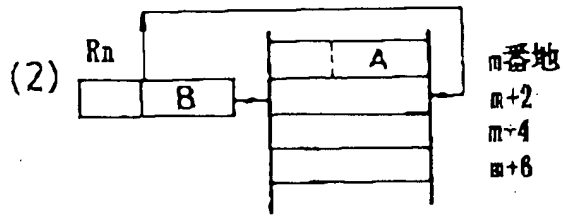
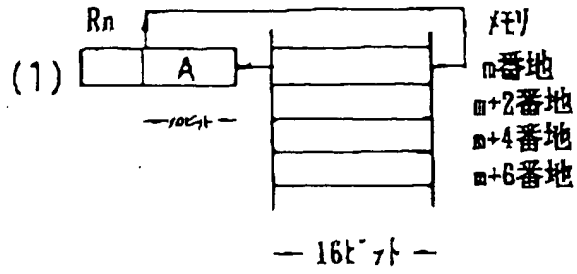
(a) RLDHLアドレスの指定
する番地の内容(b) RRDHLアドレスの指定
する番地の内容

(8)

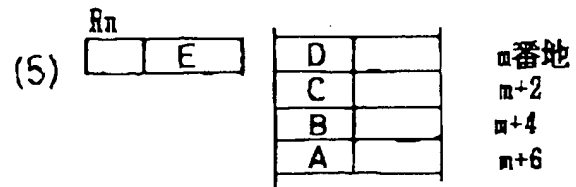
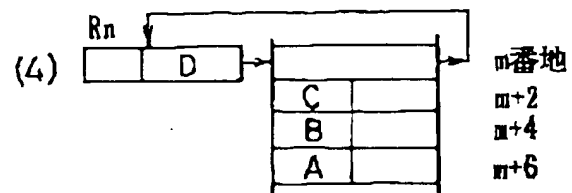
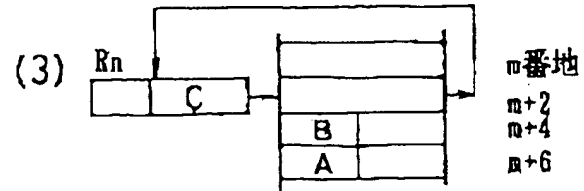
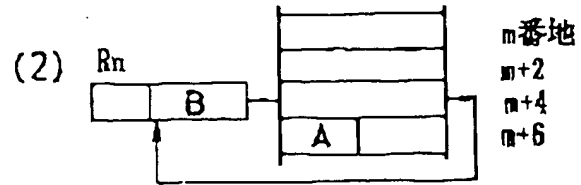
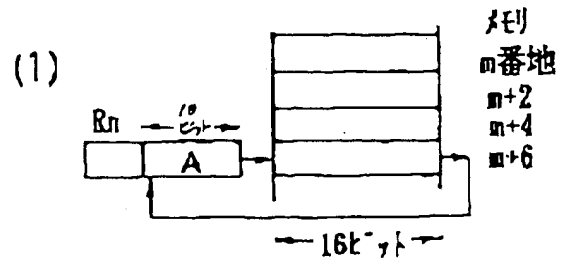
【図4】



【図5】



【図6】



【図7】

